

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-27589

(43) 公開日 平成11年(1999) 1月29日

(51) IntCl⁶

H 0 4 N 5/335

G 0 6 T 1/00

識別記号

F I

H 0 4 N 5/335

G 0 6 F 15/64

Z

3 2 0 G

審査請求 未請求 請求項の数44 O L (全 12 頁)

(21) 出願番号 特願平10-74260

(22) 出願日 平成10年(1998) 3月23日

(31) 優先権主張番号 60/042327

(32) 優先日 1997年3月21日

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 60/049978

(32) 優先日 1997年6月11日

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 08/935634

(32) 優先日 1997年9月23日

(33) 優先権主張国 米国 (US)

(71) 出願人 598038326

ダルサ・インコーポレーテッド

Dalsa Inc.

カナダ国エヌ2ブイ 2イー9 オンタリ
オ, ウォータールー, マクマーレイ・ロー
ド 605

(72) 発明者 マーティン・ジェイ・キイク

カナダ国エヌ2ジェイ 1ビー9 オンタ
リオ, イースト・ウォータールー, ユニオ
ン・ストリート 415-57

(74) 代理人 弁理士 社本 一夫 (外5名)

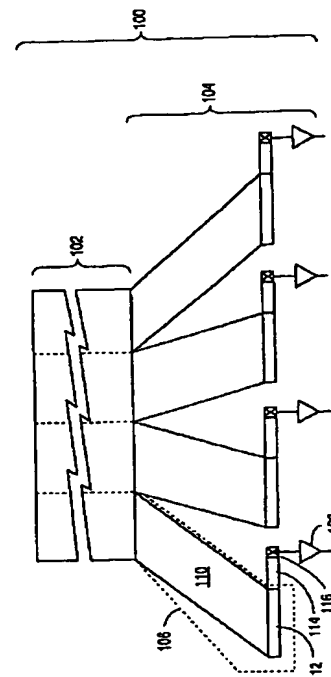
最終頁に続く

(54) 【発明の名称】 タップ付きCCDアレイ構造

(57) 【要約】

【課題】 均一なピクセル・ピッチを維持しながらセンサにおける初期ピクセル・ドループを除去する。

【解決手段】 イメージ化セクション102と読出しセクション104を含む電荷結合デバイスにおいて、イメージ化セクションは列方向を画定し複数のイメージ化サブセクションを含み、読出しセクションは出力ノード構造116と複数の読出しサブセクション106を含む。読出しサブセクションは、複数の中間レジスタ110と水平レジスタ・セグメント112を含み、レイアウト領域が読出しサブセクション間に画定される。出力ノード構造は、水平レジスタ・セグメントと結合され、レイアウト領域内に配置される。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 列方向を画定し複数のイメージ化サブセクションを含むイメージ化セクションを有する電荷結合デバイスにおける第1の出力ノード構造と複数の読出しサブセクションとを含む読出しセクションにおいて、第1の各イメージ化サブセクションに結合され、第1の複数の中間レジスタと第1の水平レジスタ・セグメントとを含む第1の読出しサブセクションであって、前記第1の複数の中間レジスタの第1の中間レジスタが第1の中間方向を画定し、該第1の中間方向が列方向と平行ではない第1の読出しサブセクションと、

第2の各イメージ化サブセクションに結合され、第2の複数の中間レジスタと第2の水平レジスタ・セグメントとを含み、レイアウト領域が前記第1と第2の読出しサブセクション間に画定される第2の読出しサブセクションと、を備え、

前記第1の出力ノード構造が前記第1の水平レジスタ・セグメントに結合され、前記レイアウト領域内に配置される、読出しセクション。

【請求項2】 前記第1の水平レジスタ・セグメントが、各々が前記第1の複数の中間レジスタの対応する中間レジスタに結合される複数の第1の水平レジスタ要素を有する請求項1記載の読出しセクション。

【請求項3】 前記第1の水平レジスタ・セグメントと前記第1の出力ノード構造との間のレイアウト領域内に配置された第1の分離レジスタを更に備える請求項1記載の読出しセクション。

【請求項4】 前記第1の水平レジスタ・セグメントと、前記第1の分離レジスタと前記第1の出力ノード構造とが共線状である請求項3記載の読出しセクション。

【請求項5】 前記分離レジスタが少なくとも2つの分離レジスタ要素を含む請求項3記載の読出しセクション。

【請求項6】 前記第1の水平レジスタ・セグメントが第1の水平レジスタ・セグメント方向を画定し、前記第2の水平レジスタ・セグメントが第2の水平レジスタ・セグメント方向を画定し、前記第2の水平レジスタ・セグメント方向が前記第1の水平レジスタ・セグメント方向と平行である、請求項1記載の読出しセクション。

【請求項7】 前記第1の水平レジスタ・セグメントが、列方向と直角をなす第1の水平レジスタ・セグメント方向を画定し、前記第2の水平レジスタ・セグメントが、第2の水平レジスタ・セグメント方向を画定し、該第2の水平レジスタ・セグメント方向が前記第1の水平レジスタ・セグメント方向と平行である、請求項1記載の読出しセクション。

【請求項8】 前記第2の複数の中間レジスタの第1の中間レジスタが第2の中間方向を画定し、

前記第2の中間方向が前記第1の中間方向と平行ではなく、

前記第2の中間方向が前記列方向と平行ではない、請求項1記載の読出しセクション。

【請求項9】 前記第1の複数の中間レジスタの前記第1の中間レジスタが、第1の複数のレジスタ要素を含み、前記第1の複数のレジスタ要素の第1のレジスタ要素が第1の周辺により特徴付けられ、

前記第1の周辺が、前記第1の複数のレジスタ要素の第1のレジスタ要素が矩形でない平行四辺形であることを特徴付ける、請求項1記載の読出しセクション。

【請求項10】 前記第1の複数のレジスタ要素の第2のレジスタ要素が第2の周辺により特徴付けられ、

前記第2の周辺が、前記第1の複数のレジスタ要素の第2のレジスタ要素が矩形でない平行四辺形であることを特徴付ける、請求項9記載の読出しセクション。

【請求項11】 前記第1の周辺の大きさと形状が前記第2の周辺の大きさと形状とに実質的に等しい請求項10記載の読出しセクション。

【請求項12】 前記第1の複数の中間レジスタの第2の中間レジスタが第2の中間方向を画定し、

前記第2の中間方向が前記第1の中間方向と平行（co-parallel）である、請求項9記載の読出しセクション。

【請求項13】 前記第2の中間レジスタが第2の複数のレジスタ要素を含み、前記第2の複数のレジスタ要素の第1のレジスタ要素が第2の周辺により特徴付けられ、

前記第2の周辺が、前記第2の複数のレジスタ要素の第1のレジスタ要素が矩形でない平行四辺形であることを特徴付ける、請求項12記載の読出しセクション。

【請求項14】 前記第1および第2の周辺が大きさおよび形状において実質的に等しい請求項13記載の読出しセクション。

【請求項15】 前記第1の複数の中間レジスタの第2の中間レジスタが第2の中間方向を画定し、

前記第2の中間方向が前記第1の中間方向と平行でなく、

前記第2の中間方向が前記列方向と平行でない、請求項1記載の読出しセクション。

【請求項16】 前記第1の複数の中間レジスタの第1の中間レジスタが第1の複数のレジスタ要素を含み、該第1の複数のレジスタ要素の第1のレジスタ要素が第1の周辺により特徴付けられ、

前記第1の周辺が、前記第1の複数のレジスタ要素の第1のレジスタ要素が台形であることを特徴付ける、請求項1記載の読出しセクション。

【請求項17】 前記第1の複数のレジスタ要素の第2のレジスタ要素が第2の周辺により特徴付けられ、

前記第2の周辺が、前記第1の複数のレジスタ要素の第

2のレジスタ要素が台形であることを特徴付ける請求項16記載の読出しセクション。

【請求項18】 前記第1の周辺の大きさと形状とが前記第2の周辺の大きさと形状とに等しい請求項17記載の読出しセクション。

【請求項19】 前記第1の周辺の面積が前記第2の周辺の面積に実質的に等しく、前記第1の周辺の形状が前記第2の周辺の形状に等しくない、請求項17記載の読出しセクション。

【請求項20】 前記第1の複数の中間レジスタの第2の中間レジスタが第2の中間方向を画定し、前記第2の中間方向が前記第1の中間方向と平行でない、請求項16記載の読出しセクション。

【請求項21】 前記第2の中間レジスタが第2の複数のレジスタ要素を含み、前記第2の複数のレジスタ要素の第1のレジスタ要素が第2の周辺により特徴付けられ、

前記第2の周辺が、前記第2の複数のレジスタ要素の第1のレジスタ要素が台形であることを特徴付ける請求項20記載の読出しセクション。

【請求項22】 前記第1と第2の周辺が大きさと形状とにおいて実質的に等しい請求項21記載の読出しセクション。

【請求項23】 列方向を画定し複数のイメージ化サブセクションを含むイメージ化セクションを有する電荷結合デバイスに対する読出しセクションを形成する方法であって、読出しセクションが複数の読出しサブセクションを含み、第1の読出しサブセクションが第1の各イメージ化サブセクションに結合され、第2の読出しサブセクションが第2の各イメージ化サブセクションに結合される方法において、

第1の複数の中間レジスタと第1の水平レジスタ・セグメントとを含むように前記第1の読出しサブセクションを形成し、前記第1の複数の中間レジスタの第1の中間レジスタが第1の中間方向を画定し、前記第1の中間方向が列方向と平行ではない、ステップと、

第2の複数の中間レジスタと第2の水平レジスタ・セグメントとを含むように第2の読出しサブセクションを形成するステップと、を含み、該第1および第2の読出しサブセクションを形成するステップが前記第1および第2の読出しサブセクション間にレイアウト領域を画定し、

前記第1の出力ノード構造が前記レイアウト領域内に配置されるように、前記第1の水平レジスタ・セグメントに結合された第1の出力ノード構造を形成するステップ、を含む方法。

【請求項24】 前記第1の水平レジスタ・セグメントが、複数の第1の水平レジスタ要素を持つように形成され、第1の各水平レジスタ要素が、前記第1の複数の中間レジスタの対応する中間レジスタに結合されるように

形成される請求項23記載の方法。

【請求項25】 前記第1の水平レジスタ・セグメントと前記第1の出力ノード構造間のレイアウト領域内に配置された第1の分離レジスタを形成するステップを更に含む請求項23記載の方法。

【請求項26】 前記第1の水平レジスタ・セグメントと、前記第1の分離レジスタと前記第1の出力ノード構造とが共線状に形成される請求項25記載の方法。

【請求項27】 前記分離レジスタが少なくとも2つの分離レジスタ要素を含むように形成される請求項25記載の方法。

【請求項28】 前記第1の水平レジスタ・セグメントが第1の水平レジスタ・セグメント方向を画定し、前記第2の水平レジスタ・セグメントが第2の水平レジスタ・セグメント方向を画定し、前記第2の水平レジスタ・セグメント方向が前記第1の水平レジスタ・セグメント方向と平行である、請求項23記載の方法。

【請求項29】 前記第1の水平レジスタ・セグメントが、前記列方向と直角をなす第1の水平レジスタ・セグメント方向を画定し、前記第2の水平レジスタ・セグメント方向が前記第1の水平レジスタ・セグメント方向と平行である第2の水平レジスタ・セグメント方向を画定する、請求項23記載の方法。

【請求項30】 前記第2の複数の中間レジスタの第1の中間レジスタが第2の中間方向を画定し、前記第2の中間方向が前記第1の中間方向と平行でなく、前記第2の中間方向が前記列方向と平行でない、請求項23記載の方法。

【請求項31】 前記第1の複数の中間レジスタの第1の中間レジスタが第1の複数のレジスタ要素を含むように形成され、前記第1の複数のレジスタ要素の第1のレジスタ要素が第1の周辺により特徴付けられ、前記第1の周辺が、前記第1の複数のレジスタ要素の第1のレジスタ要素が矩形でない平行四辺形であることを特徴付ける、請求項23記載の方法。

【請求項32】 前記第1の複数のレジスタ要素の第2のレジスタ要素が第2の周辺により特徴付けられ、前記第2の周辺が、前記第1の複数のレジスタ要素の第2のレジスタ要素が矩形でない平行四辺形であることを特徴付ける、請求項31記載の方法。

【請求項33】 前記第1の周辺の大きさと形状とが前記第2の周辺の大きさと形状とに実質的に等しい請求項32記載の方法。

【請求項34】 前記第1の複数の中間レジスタの第2の中間レジスタが第2の中間方向を画定し、前記第2の中間方向が前記第1の中間方向と平行である、請求項31記載の方法。

【請求項35】 前記第2の中間レジスタが第2の複数のレジスタ要素を含むように形成され、前記第2の複数のレジスタ要素の第1のレジスタ要素が第2の周辺により特徴付けられ、

前記第2の周辺が、前記第2の複数のレジスタ要素の第1のレジスタ要素が矩形でない平行四辺形であることを特徴付ける、請求項34記載の方法。

【請求項36】 前記第1および第2の周辺が大きさや形状において実質的に等しい請求項35記載の方法。

【請求項37】 前記第1の複数の中間レジスタの第2の中間レジスタが第2の中間方向を画定し、前記第2の中間方向が前記第1の中間方向と平行でなく、

前記第2の中間方向が前記列方向と平行でない、請求項23記載の方法。

【請求項38】 前記第1の複数の中間レジスタの第1の中間レジスタが、第1の複数のレジスタ要素を含むように形成され、前記第1の複数のレジスタ要素の第1のレジスタ要素が第1の周辺により特徴付けられ、前記第1の周辺が、前記第1の複数のレジスタ要素の第1のレジスタ要素が台形であることを特徴付ける、請求項23記載の方法。

【請求項39】 前記第1の複数のレジスタ要素の第2のレジスタ要素が第2の周辺により特徴付けられ、前記第2の周辺が、前記第1の複数のレジスタ要素の第2のレジスタ要素が台形であることを特徴付ける、請求項38記載の方法。

【請求項40】 前記第1の周辺の大きさと形状とが前記第2の周辺の大きさと形状とに等しくない請求項39記載の方法。

【請求項41】 前記第1の周辺の面積が前記第2の周辺の面積と実質的に等しく、前記第1の周辺の形状が前記第2の周辺の形状と等しくない、請求項39記載の方法。

【請求項42】 前記第1の複数の中間レジスタの第2の中間レジスタが第2の中間方向を画定し、前記第2の中間方向が前記第1の中間方向と平行でない、請求項38記載の方法。

【請求項43】 前記第2の中間レジスタが第2の複数のレジスタ要素を含むように形成され、前記第2の複数のレジスタ要素の第1のレジスタ要素が第2の周辺により特徴付けられ、前記第2の周辺が、前記第2の複数のレジスタ要素の第1のレジスタ要素が台形であることを特徴付ける、請求項42記載の方法。

【請求項44】 前記第1および第2の周辺が大きさや形状とにおいて実質的に等しい請求項43記載の方法。

【発明の詳細な説明】

【0001】本願は、1997年3月21日出願の米国特許出願第60/042,327号および1997年6

月11日出願の同第60/049,978号に基づく優先権を主張するものである。

【0002】

【発明の属する技術分野】本発明は、電荷結合デバイス・イメージ・センサに関し、特に最適化された出力ノード構造と多重タップを有する水平CCD読出しレジスタにおける必要な分離ピクセルを規定する構造に関する。

【0003】

【従来の技術】電荷結合デバイス（以下、CCDという）は、ビデオ・イメージ化（imaging）や記録への用途において広く用いられている。例えば、CCDビデオ・センサの構造は、ビデオ放送規格のためNTSC（National Television Standards Committee）により規定される形態に基づいている。このようなCCDビデオ・センサの設計は垂直方向に少なくとも488本のTVライン、TVライン当たり500ないし800ピクセルを必要とし、4:3の横縦比の光学フォーマットを有し、30Hzのフレーム・レートでフィールド・インターレース・ビデオを生成する。ビデオ・フォーマット・イメージ化要件の目標を達成するCCD構造（アーキテクチャ）は、一般に、2つのカテゴリ、即ち、インタライン転送（ILT）あるいはフレーム転送（FT）方式のイメージ・センサに含まれる。

【0004】CCDセンサの別の用途としては、工業的検査装置あるいは視覚装置がある。このような用途のCCDビデオ・センサの構造は、最大ピクセル解像度、あるいは最大イメージ・フレーム・レート、あるいはその両方に最適化される。移動する物体（例えば、連続的なコンベア・ベルト上、あるいは布ロールの如き巻かれた物品）の検査に用いられる検査カメラは、線形CCDセンサがイメージ化される物体の移動方向と垂直方向に配向される線走査CCDセンサをしばしば用いる。進歩した線形CCDセンサは、時間遅延および積分技術をしばしば用いており、TDI CCDセンサと呼ばれる。

【0005】

【発明が解決しようとする課題】図7に示すように、公知のフレーム転送センサ10は、記憶（蓄積）セクション4に結合されたイメージ化（撮像）セクション2を含んでいる。フレーム転送センサは、イメージ化セクション2における感光性（光電性）のフォト・サイト（photo-site）・アレイからのイメージ・フィールド・データが迅速に転送され、フォト・チャージ（photo-charge）が光学的に不透過な（opaque）アナログ蓄積アレイ（即ち、蓄積セクション4）に結合され、次に水平CCD読出しシフト・レジスタ6（HCCDシフト・レジスタ）、出力ノード構造7、及びバッファ8とを介して、カメラ回路に、ビデオ・データの並列一直列転送されることによって成り立っている。光学的に不透過な蓄積アレイは、この蓄積アレイが

感光性でないようにアルミニウム・フィルムの如き光学的に不透過な材料により被覆される蓄積アレイである。CCDセンサのイメージ化セクションへの光入力連続的であるので(転送中にストロブあるいは変調されない)、第1のビデオ・フィールドの積分からイメージ・データの迅速な垂直転送が重要である。

【0006】図8において、公知のインタライン転送CCDイメージ・センサ20(即ち、ILT CCDセンサ)は、各列が(例えば、転送レジスタを光入力に感応しないようにするためアルミニウムで被覆される)光学的に不透過なインタライン転送レジスタ14に隣接して配置される複数のフォト・サイト・アレイにおけるイメージ化セクション12を含んでいる。ILT CCDセンサは、一般に、フレーム転送センサのように光学的に不透過な蓄積セクションを有していない。ILT CCDセンサにおいては、光入力がフォト・サイト12において積分(集積)され、次いでインタライン転送レジスタ14へ転送される。次に、次のデータ・フィールドの積分中に、インタライン転送レジスタ14におけるイメージ・フィールド・データは、水平CCDシフト・レジスタ16(HCCDシフト・レジスタ)を介し、出力ノード構造17およびバッファ18を介してカメラ回路へ並列一直列転送される。

【0007】図9において、公知の時間遅延・積分(TDI: time delay and integrate)線形アレイ・センサ30が、フレーム転送センサにおけるようにイメージ化セクション22を含むが、このイメージ化セクションは、一般に水平CCD読出しシフト・レジスタ26に直接結合され、このレジスタから出力ノード構造27を介し、バッファ28を介してカメラ回路に結合される。イメージ化セクション22は、各々が複数のフォト・サイトを含む複数の列を含む。動作するときは、カメラ・レンズがイメージをTDI CCDセンサ上に集束させる。イメージ、即ちTDI CCDセンサに対する光入力は(例えば、コンベア・ベルト上で)移動している。このため、センサ上に集束された共通源イメージは、移動しているように見える。イメージの一部は、最初はTDI CCDセンサの1つのピクセル上に現れ、次いでこのセンサの別のピクセル上に現れる。カメラとセンサとは、移動するイメージの一部がフォト・サイト列の最上部からこの列の最下部へ方向に移動するように配列される。TDI CCDセンサは、イメージの当該部分が前記列を下方へ移動する速度に等しい速度でフォト・サイト列を下方へ電荷を転送するようにクロックされる。第1のフォト・サイトに生じた電荷は、第1のフォト・サイトに電荷を生じたイメージ部分が次のフォト・サイトへ移動すると同時に次のフォト・サイトへ転送される。このように、イメージ部分が前記列の下方へ移動するに伴ってフォト・チャージはイメージ部分の下側のフォト・サイトに累積される。その

名前のように、時間遅延・積分(TDI)する。

【0008】2次元イメージ化アレイ(例えば、フレーム転送センサおよびインタライン転送センサにおける)は、一般に、イメージのスナップ・ショットを撮る。光活性ピクセル・アレイが、ある期間フォト・チャージを積分する。積分時間の終りに、並列一直列転送方式を用いて情報がセンサから外部回路要素へ転送される。ピクセル・データの各水平ラインが、水平CCD読出しシフト・レジスタへ転送される。次に、データのラインが、レジスタの終端における出力ノード構造を介して、次いでバッファ増幅器を介して直列に転送される。一般に、信号電荷が転送され得るデータ速度は、出力構造およびバッファ増幅器の帯域幅より小さい速度に制限される。

【0009】同様に、TDI CCDセンサにおいては、フォト・サイトの各種分列における最終ピクセル(即ち、最後の水平ライン)が水平CCD読出しシフト・レジスタへ転送される。データ・ラインは、次に、レジスタの終端における出力ノード構造を介して、次いでバッファ増幅器を介して直列に転送される。一般に、信号電荷を転送できるデータ速度は、出力構造およびバッファ増幅器の帯域幅により制限される。

【0010】データ速度がバッファの帯域幅を越えてしまう用途においては、水平CCD読出しシフト・レジスタは、サブレジスタへ区分しなければならない。次に、各サブレジスタまたはレジスタ・セグメントは、信号電荷をそれ自体の別々の出力ノード構造と出力構造およびバッファの帯域幅限度で動作するバッファ増幅器とに転送することになる。次に、幾つかのバッファからのデータが一緒に多重化(マルチプレックス)されて、より高いデータ速度でイメージを再構成する(即ち、1つのバッファ・データ速度は出力構造またはタップの数により乗じられる)。このレジスタ構造は、マルチタップ水平読出しレジスタとして知られている(図10)。

【0011】タップ付レジスタの設計は、出力ノード構造(図10の37A、37B、37Cおよび37D)をレジスタの水平ピッチ(即ち、ピクセル列の間隔)に等しい程度に配置することが必要になる。ピッチがCCDの製造に用いられる処理技術水準に対する設計基準により許容される最小寸法に照らして小さい高密度CCDセンサ設計の場合は、水平レジスタの性能を犠牲にせずに出力ノード構造が高い性能(高い変換効率および低い読出しノイズ)を持つように出力ノード構造をレジスタのピッチ以内に配置することは困難である。参考のためここに援用する「均一なピッチおよび電荷蓄積容量を有する可変幅CCDレジスタ(Variable Width CCD Register With Uniform Pitch and Charge Storage Capacity)」なる名称の米国特許第5,608,242号を参照されたい。

【0012】センサからのデータ速度を増大させるた

め、水平CCDの異なる部分から同時に読出すことが可能のように水平読出しセクションにおいてタップ付出力が一般に用いられる。出力ノード構造に要求されるスペースのために、出力タップが含まれる場合には、ピクセル・ピッチの不均一性が通常生じる。更に、各タップ・セクションで読出される最初の有効データ・ピクセルにおける応答不均一性（一般に、初期ピクセル・ドループ（droop）として知られる）を制限するため、水平CCDにおける付加的な分離ピクセルがしばしば望ましい。

【0013】本発明の目的は、均一なピクセル・ピッチを維持しながら、かかるセンサにおける初期ピクセル・ドループを除去することにある。本発明の別の目的は、各出力ノード構造領域への充分な量のレイアウト領域の追加による設計レイアウトにおけるより大きな柔軟性を提供することにある。

【0014】

【課題を解決するための手段】上記および他の目的は、イメージ化セクションと読出しセクションとを含む電荷結合デバイスにおいて達成される。このイメージ化セクションは、列方向を画定し、複数のイメージ化サブセクションを含む。読出しセクションは、第1の出力ノード構造と複数の読出しサブセクションとを含む。第1の読出しサブセクションは、それぞれの第1のイメージ化サブセクションに結合される。第2の読出しサブセクションは、それぞれの第2のイメージ化サブセクションに結合される。第1の読出しサブセクションは、第1の複数の中間レジスタと、第1の水平レジスタ・セグメントとを含む。第1の複数の中間レジスタの第1の中間レジスタは第1の中間方向を画定し、第1の中間方向は列方向に対して平行ではない。第2の読出しサブセクションは、第2の複数の中間レジスタと第2の水平レジスタ・セグメントとを含み、レイアウト領域は第1および第2の読出しサブセクション間に画定される。第1の出力ノード構造は、第1の水平レジスタ・セグメントに結合され、レイアウト領域内に配置される。

【0015】本発明については、添付図面に関して望ましい実施の形態の以降の記述において詳細に記述される。

【0016】

【発明の実施の形態】本発明の望ましい実施の形態は、（フレーム転送センサに対する）センサの蓄積、あるいは（インタライン転送およびTDIセンサに対する）センサの分離（アイソレーション）領域における扇形状（即ち、以下に記述される如くフレア状、「スカート状」あるいはテーパー状）の構造（アーキテクチャ）を含んでいる。このようなアーキテクチャによれば、各出力タップ付近に大量のスペースが利用可能となり、水平読出しレジスタ・セグメントと出力ノード構造との間の各出力タップにおける増加した分離ピクセル数を含む可能

性が生じる。扇形アーキテクチャを用いることができる大量の垂直ピクセル（即ち、全蓄積領域または分離領域）のゆえに、HCCDの各タップに組込むことができる分離ピクセル数は、仮に扇形角度が最小化されてもかなりのものとなり得る。

【0017】当該技法は、レイアウトの容易さ、改善されたピクセル均一性、およびノード・アーキテクチャ設計における柔軟性の拡大を含む利点を提供する。

【0018】扇形アーキテクチャをフレーム転送領域アレイへ組込むことは、大きな蓄積領域の存在のため簡単である。デバイス動作に対する変更は、蓄積領域のクロック相のキャパシタンスの僅かな増加と、分離ピクセルの追加によるタイミング変化とに限定される。TDIセンサにおいて、小さな扇形角度を維持しながら各タップにおける多数の分離ピクセルを組込むために、光シールドを有する小さな扇形分離領域の追加も必要になる。

【0019】図1において、センサ100は、イメージ化（撮像）セクション102と読出しセクション104とを含んでいる。イメージ化セクション102は、インタライン転送イメージ化セクション、またはフレーム転送イメージ化セクション、またはTDIイメージ化セクションの形態にある。イメージ化セクション102は、複数のイメージ化サブセクションを含んでいる。読出しセクション104は、複数の読出しサブセクションを含んでいる。第1の読出しサブセクション106は、第1のイメージ化サブセクションと第1の水平セグメント・レジスタ112との間に結合された第1の複数の中間レジスタ110を含んでいる。読出しセクション104は更に、第1の水平セグメント・レジスタ112に結合された第1の信号ノード構造116を含んでいる。読出しセクション104はまた、第1の水平セグメント・レジスタ112と第1の信号ノード構造116との間に結合された第1の分離レジスタ114も含んでいる。第1の出力ノード構造116からの出力信号は、第1のバッファ増幅器108へ与えられる。典型的に、バッファ増幅器108は、ソース・フォロワ形態に構成された1ないし5個のMOSトランジスタを含んでいる。

【0020】フレーム転送センサにおいては、中間レジスタ110が、不透明な光シールドの下に配置された蓄積アレイ・レジスタからなることが望ましい。インタライン転送センサおよびTDIセンサにおいては、中間レジスタ110が不透明な光シールドの下に配置された分離レジスタからなり、イメージ化セクション102と水平シフト・レジスタ112との間に結合されることが望ましい。

【0021】水平読出しレジスタ112の断面120を示す図2において、分離レジスタ114と出力ノード構造116とは、P-タイプ半導体ウエーハに形成されたN-チャネル（あるいは、Nタイプ半導体ウエーハ上のP-タイプのウエルに形成されたN-チャネル）を含んで

いる。埋込チャンネル124が、ドーパされた半導体ウェーハ122に形成される。水平読出しレジスタ・セグメント112と分離レジスタ114とは、埋込チャンネル内に形成され、この埋込チャンネルの上にそのチャンネルから分離されたクロッキング・ゲート電極（図示せず）に基づいて形成される。出力ノード構造116は、出力バッファ108に結合された出力ノード拡散部126を含み、かつDC電源130に結合されたドレイン拡散部128を含んでいる。出力ノード拡散部126は、埋込チャンネル124上に配置され信号 V_{SET} が供給されるセット・ゲート電極132により形成されるセット・ゲートを介して分離レジスタ114に結合されている。出力ノード拡散部126は、 V_{RES} が供給されリセット・ゲート電極134の下に形成されリセット・ゲートを介してドレイン拡散部128に結合されている。全ての読出しサブセクションにおける水平読出しレジスタ112と、分離レジスタ114と、出力ノード構造116の全ては、同一直線上にあり、イメージ化セクションにより画定される列方向と直角をなしていることが望ましい。

【0022】分離レジスタ114は、1つ以上のピクセル、望ましくは少なくとも2つのピクセルを含んでいる。中間レジスタ110の最後のレジスタ要素からの信号電荷を水平読出しレジスタ・セグメント112へ転送するため転送電極が用いられる。水平読出しレジスタ・セグメント112を介して分離レジスタ114へ、またこのレジスタから出力ノード構造116への信号電荷の高速転送を生じさせるため、水平レジスタ・クロッキング電極が用いられる。電圧を水平レジスタ・クロッキング電極へ供給するクロック駆動回路は、電圧レベルを安定化させるため幾つかのクロック・サイクルを必要とするときがある。クロック・パルスのフィードスルー（feed through）がビデオ信号に現れることがあるので、最初の幾つかのクロック・パルスにおける変動は、出力波形に相違を生じさせる可能性がある。従って、分離レジスタ114が水平読出しレジスタ・セグメント112の最終要素と出力ノード構造116との間に介挿されることが望ましい。分離レジスタ114は、1つ以上のレジスタ要素を含むことが望ましい。分離レジスタ114からの初期データは、イメージ・データが処理される前にバッファ108から送出される。

【0023】分離レジスタ114の幅は、水平読出しレジスタ・セグメント112の幅からセット・ゲート電極132により画定されるセット・ゲートの幅（即ち、埋込チャンネルの幅）までテーパー状をなすことが望ましい。水平読出しレジスタ・セグメント112の幅は、レジスタの各要素の面積が更に詳細に論述されるように等しい電荷保持容量を有するように各中間レジスタ110の各レジスタ要素の面積と実質的に等しくなるように、画定されることが望ましい。一方、出力ノード拡散部126は、最小キャパシタンスを特徴とするように小さいこと

が望ましい。このことは、出力ノード構造の感度（即ち、電荷入力電子当たりのボルト出力）を最大化する。水平読出しレジスタ・セグメント112の幅は、出力ノード拡散部126よりしばしば広く、セット・ゲートがセット・ゲート電極132により画定される。分離レジスタ114は、水平読出しレジスタ・セグメント112とセット・ゲートとの間に結合されている。分離レジスタ114は、水平読出しレジスタ112の幅をセット・ゲートの幅に一致させるようにテーパー状を呈することが望ましい。このテーパー形状は、階段状のテーパー形状あるいは連続的なテーパー形状でよい。

【0024】テーパー状の分離レジスタ114における各レジスタ要素の面積は、以下において更に詳細に説明するように、等しい電荷保持容量を有するよう水平読出しレジスタ・セグメント112の各レジスタ要素の面積と実質的に等しい。このことは、必然的に、幅が小さくなるに従ってレジスタ要素の長手寸法（即ち、ピッチと呼ばれる）が長くなるが必要になる。

【0025】出力ノード構造116は、信号電荷がレジスタ112からレジスタ114を介して出力ノード構造116へ、更にバッファ108へ転送される時に捕捉され得るポケット、トラップあるいは小さなウエルを有する可能性がある。このようなポケットは、「初期ピクセル・ドループ（first pixel droop）」現象の一因となる可能性がある。このようなポケットの共通の原因は、レジスタ112とノード構造116間のマッチングが十分でないことである。不十分なマッチングは、レジスタ112におけるレジスタ要素のサイズに比較して小さな読出しノード構造116を設ける必要性によって更に生じる。これらのポケットを最小限に抑えるため、水平読出しレジスタ・セグメント112をマッチング分離レジスタ114を介して出力ノード構造116に結合することが望ましい。分離レジスタ114に最初保持されるデータは単に放棄される。

【0026】初期ピクセル・ドループは、CRシフト・レジスタのクロック信号（即ち、水平読出しレジスタ・セグメント112に対するクロック信号）がストップされ、そして再開される時、これら信号のDCオフセット・レベルにおける不均一性によっても生じる。電荷が垂直シフト・レジスタから水平シフト・レジスタへ転送される時に水平シフト・レジスタが停止され、このことがクロック（および、それらに関連する信号および接地バウンス（ground bounce）・フィードスルー）をそれらのDCオフセット・レベルまでシフトさせる。クロックが再開すると、DCレベルが再び安定化する時に読出される最初の少数のピクセル・ドループが生じ、初期ピクセル・ドループとなる。分離レジスタ114における分離ピクセルは、初期ピクセル・ドループ問題を避けるため現在の扇形またはスカート状構造を用いる時に利用可能となる領域に加えられる。

【0027】更にまた、光シールド縁部からノード構造前の最後のピクセルへの光（特に、赤のスペクトルにおける）の漏洩によって、最後の水平シフト・レジスタ要素における付加的な電子が生じることになる。典型的には、別個の光シールドがバッファ108上に配置されて、このようなエッジ効果を生じさせる。即ち、光シールドの末端が出力ノード前の最後ピクセルから十分に離れていない可能性がある。再び、分離ピクセルが、初期ピクセルドループ問題を避けるためノードと水平レジスタ・セグメント間に介挿される。

【0028】初期ピクセル・ドループの別の原因は、過渡的な増幅器オフセットである。過渡的な出力増幅器オフセットは、垂直シフト・レジスタから水平シフト・レジスタへの転送後に最初の少数のクロック遷移の間に生じ得る。これによって、初期ピクセル・ドループあるいは初期ピクセル・オーバーシュートを招来する可能性がある。付加的な分離ピクセルが再び、初期ピクセル・ドループ問題を回避する。

【0029】初期ピクセル・ドループのあり得る全ての原因を列挙する試みは本願の範囲を越えることに注意すべきである。しかし、初期ピクセル・ドループの他の原因は、ここに述べる原因と等価なものである。当該構造は、全ての原因からの初期ピクセル・ドループ問題を避けられるように、分離レジスタ114を含めることを可能にする。

【0030】図3において、中間レジスタ110は、110AAないし110DAで示される複数のレジスタ要素を持つ第1のレジスタを含んでいる。第2のレジスタは、レジスタ要素110ABで始まり、第3のレジスタはレジスタ要素110ACで始まり、第4のレジスタはレジスタ要素110ADで始まり、レジスタ要素110DDまでアレイが続く。図3は、それぞれが4つのレジスタ要素を有する4つのレジスタを示している。これらの諸元が例示に過ぎないことが理解されよう。実際の有効なデバイスは、より大きなアレイから形成される。例えば、大きなTDIセンサは、2048ピクセル幅×96行（データの96ピクセルを集積する）を含み、64タップ（即ち、64組の分離レジスタ114と出力ノード構造116）を含んでいる。このようなTDIセンサでは、各水平読出しレジスタ・セグメント112は32ピクセルを有することになる。分離レジスタの（ピクセル単位の）サイズは、分離ピクセルが有効データを含まないが読出しの時間を必要とするため、水平セグメント読出しレジスタ・サイズの（ピクセル単位の）サイズの10%より多くならないように制限されることが望ましい。このため、水平セグメント読出しレジスタが32ピクセルを有するとき、分離レジスタは4ピクセルを有する。他の用途では、フレーム転送センサまたはインタライン転送センサは、大きなフォト・サイト・アレイ、例えば、256×256あるいは512×512を有する

ことが望ましい。望ましい設計上の積分時間およびデータ転送に利用できる時間に応じて、読出しセクションに2ないし128タップが使用される。例えば、積分時間中に各タップがデータの65, 536ピクセル（即ち、512行×512列を4タップで除す）を転送するように、512×512ピクセル・アレイは4タップを使用する。

【0031】アレイ110（図3）の各要素は、非矩形状（および、非方形）の平行四辺形（図4）の形状を呈する。このアレイの要素の面積は、等しい電荷容量を持つように面積（即ち、大きさ）と形状において実質的に等しいか略々等しい。

【0032】レジスタ要素の矩形でない平行四辺形の性質が、それ自体が矩形でない平行四辺形の周辺を有する第1の複数の中間レジスタ110（図1）を提供する。動作において、電荷がイメージ化セクション102のイメージ化サブセクションの列を列方向下方に転送される。第1の複数の中間レジスタ110へ転送されると同時に、電荷がこの中間レジスタを第1の中間方向下方へ転送され、第1の中間方向は列方向と平行ではない。

【0033】図1において、センサ100は、図示の目的で4つの読出しサブセクションのみを有するように示される。実際の有効なセンサが更に多くの読出しサブセクションから形成されることが理解される。図1においては、読出しサブセクションの半分が左方へ角度付けられ、他の半分は右方へ角度付けられている。図1が対称的に角度付けられた中間レジスタを示すが、非対称的に角度付けられたレジスタも同様に考えられる。更にまた、左方へまたられた読出しサブセクションの半分では、更に中心のサブセクションが僅かに角度付けられ、更に外側（即ち、末端）のサブセクションが更に鋭角に角度付けられている。図1に示されるように、このような構成は、クサビ状のレイアウト領域を読出しサブセクション間に提供し、このサブセクションの各々が複数の中間レジスタ110と水平読出しレジスタ・セグメント112とを含む。このようなクサビ状のレイアウト領域には、分離レジスタ114（1つ以上の分離レジスタ要素からなる）と出力ノード構造116が配置されることが望ましい。典型的なソース・フォロワ形態の種々の形状に配置された1個ないし5個のMOSトランジスタからなる出力バッファ増幅器108が、その必要は必ずしもないがクサビ状のレイアウト領域に配置される。

【0034】湾曲した即ち弧状の中間レジスタ110の変更例が、同一あるいは同様なクサビ状領域を提供し、従って矩形でない平行四辺形状の中間レジスタ110に等価である。電荷パケットは、最初のレジスタ要素から最後のレジスタ要素まで依然として各中間レジスタを下方へ転送される。最初のレジスタ要素から最後のレジスタ要素までのラインは、最初の中間方向を画定し、この最初の中間方向は列方向と平行ではない。

【0035】図5において、センサ200が、(図1における如き)イメージ化セクション102と読出しセクション204とを含んでいる。読出しセクション204は、複数の読出しサブセクション206を含んでいる。各読出しサブセクション206は、複数の中間レジスタ210と水平読出しレジスタ・セグメント112とを含んでいる。図1に示した読出しセクションとは異なり、図5に示された読出しセクションは、中間レジスタとしてテーバ状レジスタ210を含んでいる。複数の読出しサブセクション206(水平ピッチが小さいテーバ状レジスタ210と水平読出しレジスタ112とからなる)は、隣接する読出しサブセクション間にクサビ状のレイアウト領域を画定する。分離レジスタ114と出力ノード構造116(出力バッファ増幅器108に結合された)とは、クサビ状のレイアウト領域に配置されている。水平読出しレジスタ112、分離レジスタ114および出力ノード構造116は、共線状であることが望ましい。全ての読出しサブセクションにおける水平読出しレジスタ112、分離レジスタ114及び出力ノード構造116は全て、共線状でありかつイメージ化セクションにより画定される列方向と直角をなしている。

【0036】図6において、複数のテーバ状レジスタが示され、各レジスタが複数のテーバ状レジスタ要素を有する。図5および図6は対称的にテーバ状の中間レジスタを示すが、非対称的なテーバ状レジスタも同様に考えられる。例えば、最初の中間レジスタがレジスタ要素210AAないし210DAを含む。最初の中間レジスタにおける各レジスタ要素は、2つの平行であるが等しくない辺を有する台形形状である。このため、テーバ状レジスタ(即ち、中間レジスタ)の形状は、レジスタ要素間で変化する。個々のレジスタ要素を特徴付ける領域は、等しい電荷容量を有するように略々等しいままであることが望ましい。

【0037】図6は、中間レジスタの最上部の差し渡し寸法(即ち、中間レジスタとイメージ化サブセクション間の境界)が中間レジスタの最下部の差し渡し寸法(即ち、中間レジスタと水平読出しセグメント・レジスタ間の境界)より大きいことを示している。図5に示されたように、このような構成は、各々が複数の中間レジスタ210と水平読出しレジスタ112とを含む読出しサブセクション間にクサビ状のレイアウト領域を提供する。このクサビ形状のレイアウト領域には、分離レジスタ114と出力ノード構造116とが配置される。水平読出しレジスタ112、分離レジスタ114および出力ノード構造116から形成されるシフト・レジスタの両端のチャネル幅は、各レジスタ要素の近似的面積が中間レジスタにおけるレジスタ要素の近似的面積に等しくなるように(図6)、レジスタ112および114の個々の要素がレジスタ210のレジスタ要素に比較して等しいかあるいは更に大きな電荷容量を有するように、幅方向

(即ち、電荷転送方向と直角をなす方向)で十分に調整されることが判る。

【0038】湾曲した即ち弧状のテーバ状レジスタ210の変更例は、同一あるいは同様なクサビ状の領域を提供し、従ってテーバ状レジスタ210に等価である。電荷パケットは、依然として各中間レジスタを最初のレジスタ要素から最後のレジスタ要素へ下方へ転送される。最初のレジスタ要素から最後のレジスタ要素へのラインは、最初の中間方向を画定し、この最初の中間方向は列方向とは平行ではない。

【0039】図1に特に示したもの(「スカート状」の中間レジスタ)あるいは図5に示したもの(テーバ状中間レジスタ)以外のレジスタ構造が考えられる。目的は、水平レジスタ・セグメント間に1対の分離レジスタ要素と出力ノード構造を提供するのに十分なレイアウト領域を提供することである。例えば、フレーム転送センサでは、蓄積アレイは、各垂直蓄積列に多数のレジスタ要素を含む。垂直蓄積列におけるこのレジスタ要素の一部または全ては、フレア(即ち、スカート)状あるいはテーバ状であり、残りの要素は垂直方向でかつ列方向と平行である。例えば、256×256の蓄積セクションを有するフレーム転送センサにおいて、垂直蓄積列における最後の64個のレジスタ要素のみがフレア状即ちテーバ状であり、残りを実質的にイメージ化セクションにおける垂直レジスタ列の延長とすることが可能である。同じことが、フレームインタライン転送センサに対して適用される。

【0040】更にまた、フレア状あるいはテーバ状であるのを垂直蓄積列の最初の64個のレジスタ要素にして、最初の要素はイメージ化セクションから電荷を受取る最初のものとなるようにすることもできる。分離セクションがイメージ化セクションと蓄積セクションとの間に配置される場合、分離セクションにおける分離レジスタは、垂直蓄積列におけるレジスタ要素の一部あるいは全てと共に、あるいはそれを伴わず、フレア状あるいはテーバ状にすることも可能である。分離セクションが蓄積セクションと読出しセクションとの間に配置される場合、分離セクションにおける分離レジスタは、垂直蓄積列におけるレジスタ要素の一部あるいは全てと共に、あるいはそれを伴わず、フレア状あるいはテーバ状にすることも可能である。インタライン転送センサにおいては(即ち、垂直蓄積列がフォト・サイトの列間に配置される場合)、分離セクションが垂直蓄積列と水平読出しセクション間に配置される時、分離セクションにおける分離レジスタは、中間レジスタ110または210と共に、それぞれフレア状あるいはテーバ状にすることが可能である。フォト・サイトの垂直列を有するTDICDセンサにおいては、分離セクションがフォト・サイトの垂直列と水平読出しセクション間に配置される時、分離セクションにおける分離レジスタが、中間レジスタ

110または210と共に、それぞれフレア状あるいはテーパ状にすることが可能である。当業者は、これらの技術の組合わせおよび他の変更が、1対の分離レジスタ要素と出力ノード構造を提供するのに十分なレイアウト領域を水平レジスタ・セグメント間に提供するため開示された実施の形態と等価であることを理解しよう。

【0041】CCDイメージ化デバイスの新規なCCD読出しセクションの望ましい実施の形態（例示であって限定を意図するものではない）について記述したが、当業者には前述の教示に照らせば種々の修正および変更が可能であることが判る。従って、頭書の特許請求の範囲に記載される如き本発明の範囲および趣旨に含まれるよう開示された本発明の特定の実施の形態に変更が可能であることを理解すべきである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すレイアウト図である。

【図2】第1の実施の形態の水平レジスタと分離レジスタと出力ノード構造に関する断面図である。

【図3】第1の実施の形態の中間レジスタを示すレイアウト図である。

【図4】第1の実施の形態のそれぞれの単一レジスタ要素を示す図である。

【図5】本発明の第2の実施の形態を示すレイアウト図である。

【図6】第2の実施の形態の中間レジスタを示すレイ

アウト図である。

【図7】公知のフレーム転送センサを示すレイアウト図である。

【図8】公知の中間転送センサを示すレイアウト図である。

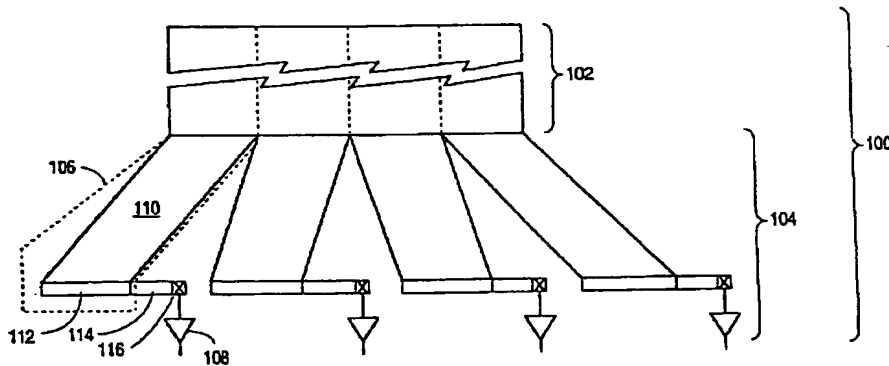
【図9】公知の時間遅延および積分線形センサを示すレイアウト図である。

【図10】多タップ型水平読出しレジスタを示すレイアウト図である。

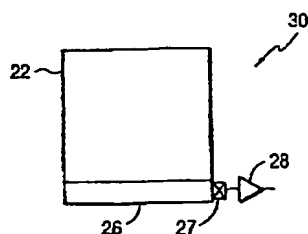
【符号の説明】

- 100 センサ
- 102 イメージ化セクション
- 104 読出しセクション
- 106 読出しサブセクション
- 108 出力バッファ増幅器
- 110 中間レジスタ
- 112 水平読出しレジスタ・セグメント
- 114 分離レジスタ
- 116 出力ノード構造
- 122 半導体ウエーハ
- 124 埋込チャネル
- 126 出力ノード拡散部
- 128 ドレーン拡散部
- 130 DC電源
- 132 セット・ゲート電極
- 134 リセット・ゲート電極

【図1】



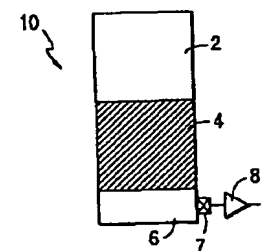
【図9】



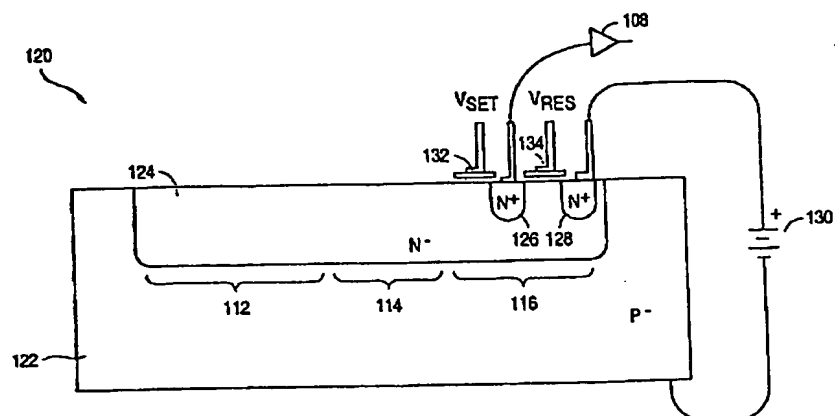
【図4】



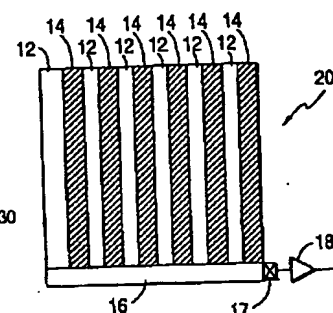
【図7】



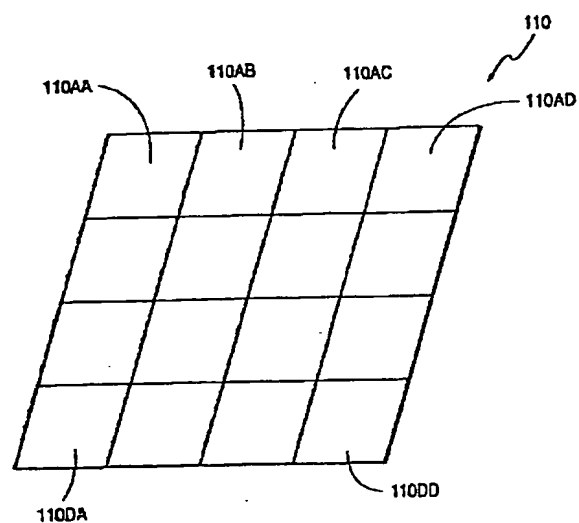
【図2】



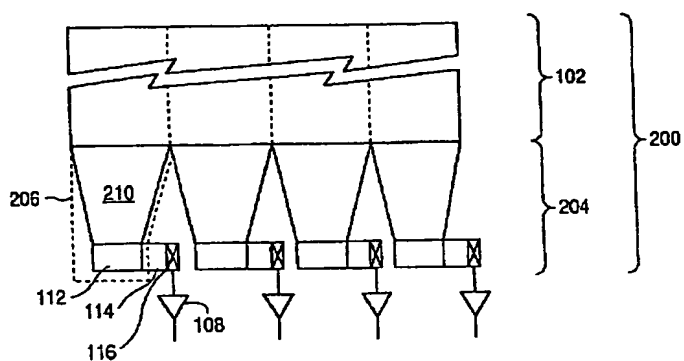
【図8】



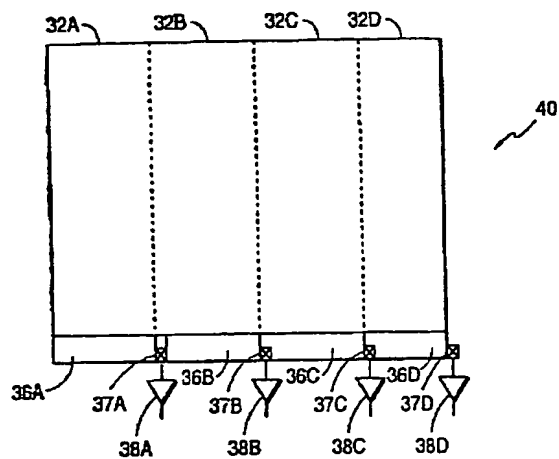
【図3】



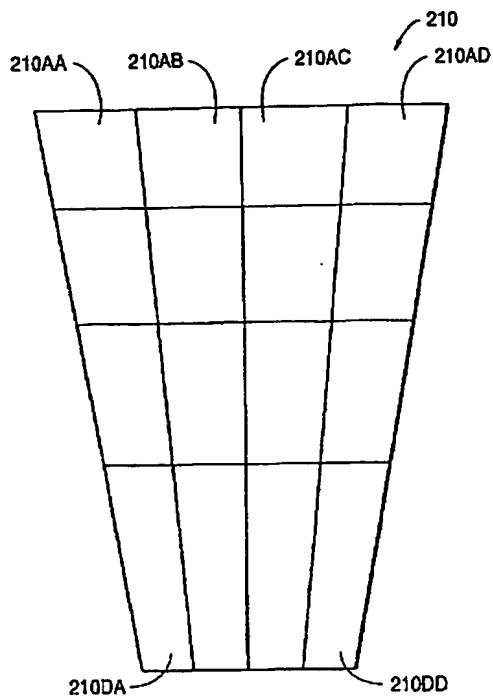
【図5】



【図10】



【図6】



フロントページの続き

(71)出願人 598038326

605 McMurray Road, Waterloo, Ontario N2V 2E9, Canada

(72)発明者 エリック・シー・フォックス

カナダ国エヌ2ティー 1ジー2 オンタリオ, ウォータールー, サンドフォード・フレミング・ドライブ 184

(72)発明者 コリン・ジェイ・フラッド

カナダ国エヌ2エイチ 3エイ9 オンタリオ, ノース・キッチェナー, キャメロン・ストリート 168

(72)発明者 サイマン・ジー・イングラム

カナダ国エヌ2ティー 2エイブイ オンタリオ, ウォータールー, ソーンデイル・ドライブ 507

(72)発明者 ステイシー・アール・カマスズ

カナダ国エヌ2シー 1ジェイ4 オンタリオ, キッチェナー, ヴァニアー・ドライブ 809-37

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.